

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-023050

(43)Date of publication of application : 22.01.2004

(51)Int.Cl.

H01S 5/343
H01L 33/00

(21)Application number : 2002-179875

(71)Applicant : SONY CORP

(22)Date of filing : 20.06.2002

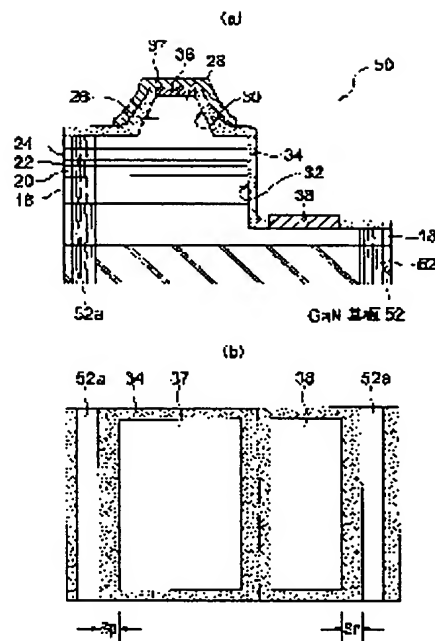
(72)Inventor : GOTO OSAMU
MATSUMOTO OSAMU
SASAKI TOMOMI
IKEDA MASAO

(54) GaN-SYSTEM SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a GaN semiconductor light-emitting device which is formed on a GaN single-crystal substrate and has a structure the current leakage is reduced.

SOLUTION: In the GaN semiconductor laser device 50, a p-side electrode and an n-side electrode are disposed on a laminated structure-side. The device has the same structure as that of a conventional GaN semiconductor layer device formed on a sapphire substrate, except that the laminated structure of a GaN compound semiconductor layer is formed directly on the GaN single-crystal substrate 52, without installing a GaN-ELO structure layer by using the GaN single crystal substrate 52, instead of the sapphire substrate. The GaN single-crystal substrate 50 has core parts 52a in continuous band shapes of 10 μ m width, and the interval between the core part 52a and the core part 52a is about 400 μ m. A laser stripe 30, a pad metal 37 of the p-side electrode 36 and the n-side electrode 38 are disposed in the laminated structure on a region, except the core part 52a of the GaN single crystal substrate 50. A horizontal distance Sp between the pad metal 37 and an outer peripheral edge of the core part 52a and a horizontal distance Sn between the n-side electrode 38 and the outer peripheral edge of the core part 52a are 95 μ m.



LEGAL STATUS

[Date of request for examination]

13.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-23050
(P2004-23050A)

(43) 公開日 平成16年1月22日(2004.1.22)

(51) Int.Cl.⁷
H01S 5/343
H01L 33/00

F I
H01S 5/343 610
H01L 33/00 C

テーマコード (参考)
5F041
5F073

審査請求 未請求 請求項の数 10 O L (全 16 頁)

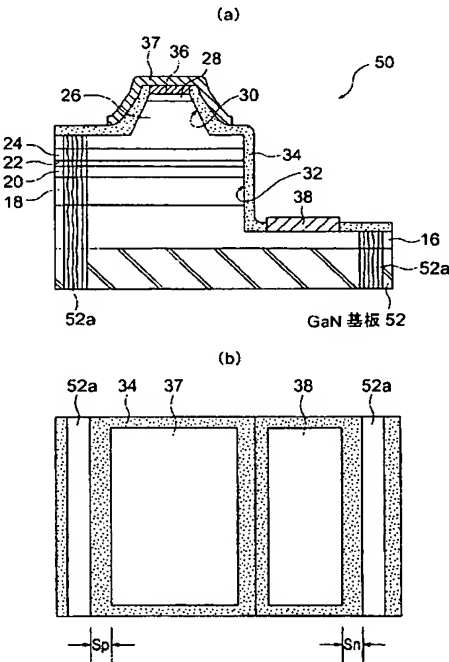
(21) 出願番号	特願2002-179875 (P2002-179875)	(71) 出願人	000002185
(22) 出願日	平成14年6月20日 (2002.6.20)		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(74) 代理人	100095326
			弁理士 畑中 芳実
		(72) 発明者	後藤 修
			宮城県白石市白鳥3丁目53番2号 ソニ
			ー白石セミコンダクタ株式会社内
		(72) 発明者	松本 治
			宮城県白石市白鳥3丁目53番2号 ソニ
			ー白石セミコンダクタ株式会社内
		(72) 発明者	佐々木 智美
			宮城県白石市白鳥3丁目53番2号 ソニ
			ー白石セミコンダクタ株式会社内
		最終頁に続く	

(54) 【発明の名称】 GaN系半導体素子

(57) 【要約】

【課題】 GaN単結晶基板上に形成され、かつ電流リークを小さくできる構成を備えたGaN系半導体発光素子を提供する。

【解決手段】 本GaN系半導体レーザ素子50は、p側電極及びn側電極が積層構造側に設けられている半導体レーザ素子であって、サファイア基板に代えてGaN単結晶基板52を使い、かつGaN-ELO構造層を設けることなくGaN系化合物半導体層の積層構造を直接GaN単結晶基板52上に形成したことを除いて、サファイア基板上に形成した従来のGaN系半導体レーザ素子と同じ構成を備えている。GaN単結晶基板50は、幅10μmの連続帯状のコア部52aを有し、コア部52aとコア部52aとの間隔は400μm程度である。レーザストライプ30、p側電極36のパッドメタル37、及びn側電極38は、GaN単結晶基板50のコア部52a以外の領域上の積層構造に設けられ、パッドメタル37の側縁部とコア部52aの外周縁との間の水平距離S_p 及びn側電極38とコア部52aの外周縁との間の水平距離S_n は、双方とも、95μmである。



【特許請求の範囲】

【請求項 1】

低密度欠陥領域、及び基板を貫通する高密度欠陥領域として周期的な基板面上配列で低密度欠陥領域に存在するコア部を有するGaN基板と、
GaN基板上に形成されたGaN系化合物半導体層の積層構造と、
積層構造上に設けられた一方の電極、及び一方の電極上に成膜された絶縁膜上に形成され、絶縁膜の開口を介して一方の電極と電気的に接続するパッドメタルを有する電極部とを備え、電極部が、GaN基板のコア部以外の領域上の積層構造に設けられていることを特徴とするGaN系半導体素子。

【請求項 2】

10

コア部が、連続帯状の配列、断続的帯状の配列、及びドット状の分散型配列のいずれかの基板面上配列で低密度欠陥領域に存在することを特徴とする請求項 1 に記載のGaN系半導体素子。

【請求項 3】

電極部が、一のコア部と一のコア部の隣のコア部との間のGaN基板の低密度欠陥領域上の積層構造に設けられていることを特徴とする請求項 1 又は 2 に記載のGaN系半導体素子。

【請求項 4】

電極部を構成するパッドメタルが、コア部の中心から100 μ m以上離れたGaN基板の領域上の積層構造に設けられていることを特徴とする請求項 1 から 3 のいずれか 1 項に記載のGaN系半導体素子。

20

【請求項 5】

一方の電極が、コア部の外縁部から50 μ m以上離れたGaN基板の領域上の積層構造に設けられていることを特徴とする請求項 1 から 3 のいずれか 1 項に記載のGaN系半導体素子。

【請求項 6】

一方の電極の対向電極が、GaN基板の裏面に設けられていることを特徴とする請求項 1 から 5 のいずれか 1 項に記載のGaN系半導体素子。

【請求項 7】

一方の電極の対向電極が、積層構造側に設けられていることを特徴とする請求項 1 から 5 のいずれか 1 項に記載のGaN系半導体素子。

30

【請求項 8】

一方の電極及び対向電極の双方が、GaN基板のコア部以外の領域上の積層構造側に設けられていることを特徴とする請求項 7 に記載のGaN系半導体素子。

【請求項 9】

一方の電極がp側電極及びn側電極のいずれか一方であり、対向電極がp側電極及びn側電極のいずれか他方であることを特徴とする請求項 1 から 8 のいずれか 1 項に記載のGaN系半導体素子。

【請求項 10】

GaN系半導体素子が、GaN系半導体発光素子であって、GaN系半導体レーザ素子又はGaN系発光ダイオードのいずれかのあることを特徴とする請求項 1 から 9 のうちのいずれか 1 項に記載のGaN系半導体素子。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、GaN系半導体素子に関し、更に詳細には、電流リークが小さいGaN系半導体素子、更には電流リークが小さく、発光効率の高いGaN系半導体発光素子に関するものである。

【0002】

【従来の技術】

50

GaN、GaInN、AlGaInN等のIII-V族窒化ガリウム系化合物半導体は、禁制帯幅が2.8～6.8eVにわたっているため、赤色から紫外領域での発光が可能な半導体発光素子の材料として注目されている。

そして、III-V族窒化ガリウム系化合物半導体を構成要素とする窒化ガリウム系半導体発光素子として、例えば青色や緑色の発光ダイオード(LED)や、約405nmの紫色領域で発振するGaN系半導体レーザ素子などが、開発、実用化されている。

【0003】

ところで、GaN系半導体発光素子の作製に際して、一つの問題は、GaN系化合物半導体層と格子整合する基板を見い出すことが難しいということであって、現在、サファイア基板がGaN系半導体発光素子の基板として多用されている。

10

それは、サファイア基板がGaN系化合物半導体層を1000℃付近の成長温度で結晶成長させる際に必要な化学的安定性を備え、結晶品質が良好であり、比較的大きな口径の基板が経済的な価格で、しかも安定して供給されるなどの理由からである。

【0004】

サファイア基板上にGaN系半導体発光素子を形成する際には、サファイア基板の格子定数がGaNの格子定数とは10%以上も異なるために、一般に、GaN層等のバッファ層をサファイア基板上に低温で成長させ、低温バッファ層を介してGaN系化合物半導体単結晶を成長させることにより、格子定数の違いを緩和している。

しかし、低温バッファ層を設け、低温バッファ層上にGaN系化合物半導体層を成長させるだけでは、結晶欠陥密度が高くなって、高品質のGaN系化合物半導体層の結晶成長が難しく、信頼性の高いGaN系半導体発光素子を作製することが難しかった。

20

【0005】

そのため、従来、低温バッファ層を介在させることに加えて、GaNの横方向選択成長(GaN-ELO: Epitaxially Laterally Overgrowth)を行って、GaN-ELO構造層を形成し、その上にGaN系化合物半導体層を成長させている。

【0006】

ここで、図5を参照して、サファイア基板上にGaN-ELO構造層を形成したGaN系半導体レーザ素子の構成を説明する。図5はサファイア基板上に形成したGaN系半導体レーザ素子の構成を示す断面図である。

30

GaN系半導体レーザ素子10は、図5に示すように、サファイア基板12と、サファイア基板12上に横方向成長法により形成されたGaN-ELO構造層14と、GaN-ELO構造層14上にMOCVD法により順次成長させた、n型GaNコンタクト層16、n型AlGaNクラッド層18、n型GaNガイド層20、GaInN多重量子井戸(MQW)構造の活性層22、p型GaNガイド層24、p型AlGaNクラッド層26、及びp型GaNコンタクト層28の積層構造とを備えている。

【0007】

p-AlGaNクラッド層26の上部層、及びp-GaNコンタクト層28は、GaN-ELO構造層14の種結晶部と会合部との間に位置するストライプ状リッジ30として形成されている。

40

更に、p-AlGaInクラッド層26の残り層、p-GaN光ガイド層24、活性層22、n-GaN光ガイド層20、n-AlGaInクラッド層18、及びn-GaNコンタクト層16の上部層は、リッジ30と平行なメサ32として形成されている。

【0008】

リッジ30の両側面及びp-AlGaInクラッド層26の残り層上には、p-GaNコンタクト層28上を開口したSiO₂膜34が成膜されている。

p-GaNコンタクト層28上には、Pd/Ptの積層金属膜からなるp側電極36が形成され、更にSiO₂膜34の開口を介してp側電極36と電氣的に接続したパッドメタル37が引き出し電極としてSiO₂膜34上に設けられている。これにより、低抵抗型のショットキー性のp側電極を形成することができる。尚、パッドメタル37の組成

50

は、Ti/Pt/Auの積層膜である。

また、n-GaNコンタクト層16上には、SiO₂膜34の開口を介してTi/Pt/Auの積層金属膜からなるn側電極38が設けてある。

【0009】

【発明が解決しようとする課題】

本発明の背景

上述のように、ELO法等によってサファイア基板とGaN系化合物半導体層との格子不整合の問題を緩和しているものの、GaN系半導体発光素子の基板としてサファイア基板を使用する限り、どうしても、格子不整合に伴う問題が残る。また、サファイア基板は絶縁性であるから、電極配置上で制約がある。

10

そのため、GaN基板の実現が強く要請されているが、GaN系半導体発光素子の基板とすることができるような、結晶欠陥の少ない大径のGaN基板を工業的に作製することは、従来、極めて難しかった。

【0010】

しかし、最近、新規な技術に基づく大径のGaN基板の実現が現実化しつつある。

ここで、図6(a)及び(b)を参照して、新規な構成のGaN基板の構成を説明する。

図6(a)及び(b)は、それぞれ、コア部及び低密度欠陥領域を説明するGaN基板の斜視図及び断面図である。

GaN基板40は、図6に示すように、周囲の低密度欠陥領域42より結晶欠陥密度が高い高密度欠陥領域(以下、コア部と言う)44が、周期的な基板面上配列で基板を貫通している。

20

コア部の配列パターンは、自在であって、例えばドット状の分散型パターンとして、図7(a)に示すような六方格子状の配列、図7(b)に示すような正方形格子状の配列、及び図7(c)に示すような長方形格子状の配列等がある。

【0011】

また、コア部の配列パターンは、上述のような断続型又は分散型パターンだけではなく、例えば図8(a)に示すように、点状のコア部44が断続して線状に配置されたもの、更には図8(b)に示すように、コア部44が線状に連続しているものも作製できる。

【0012】

上述のGaN基板は、特開2001-102307号公報に開示された技術を改良し、低密度欠陥領域中に発生するコア部の位置を制御することにより、開発されたものである。GaN単結晶の基本的な結晶成長メカニズムは、GaN単結晶がファセット面からなる斜面を維持して成長することにより、転位を伝播させ、所定の位置に転位を集合させる。このファセット面により成長した領域は、転位の移動により、低欠陥領域となる。

30

一方、そのファセット面斜面下部には、明確な境界を持った高密度欠陥領域(コア部)を生成しつつ成長が行われ、転位は、高密度欠陥領域の境界、又はその内部に集合し、ここで消滅あるいは蓄積する。

【0013】

この高密度欠陥領域の形状によって、ファセット面の形状も異なる。欠陥領域が、ドット状の場合は、そのドットを底としてファセット面が取り巻き、ファセット面からなるピットを形成する。

40

また、欠陥領域が、ストライプ状の場合は、ストライプを谷底としてその両側にファセット面傾斜面を有し、横に倒した3角形のプリズム状のファセット面となる。

【0014】

更に、この高密度欠陥領域は、いくつかの状態があり得る。例えば、高密度欠陥領域が多結晶からなる場合がある。また、単結晶であるが、周りの低密度欠陥領域に対して、微傾斜している場合もある。また、周りの低密度欠陥領域に対して、C軸が反転している場合もある。高密度欠陥領域は、明確な境界を有しており、周りの低密度欠陥領域と区別することができる。

高密度欠陥領域を有して成長することにより、その周りのファセット面を埋め込むことな

50

く、ファセット面を維持して成長を進行させることができる。

その後、Ga_{0.9}N_{0.1}成長層の表面を研削、研磨を施すことにより、表面を平坦化し、基板として使用できる形態とすることができる。

【0015】

高密度欠陥領域（コア部）を形成する方法は、下地基板上にGa_{0.9}N_{0.1}を結晶成長する際に、コア部を形成する場所に種を予め形成しておくことにより、コア部を生成させることができる。

その種としては、種となる微小領域に非晶質あるいは多結晶の層を形成する。その上にGa_{0.9}N_{0.1}をエピタキシャル成長させることにより、丁度、種の領域に高密度欠陥領域、つまりコア部を形成することが出来る。

10

【0016】

Ga_{0.9}N_{0.1}基板の具体的な製造方法を説明する。まず、Ga_{0.9}N_{0.1}層を成長させる下地基板を用意する。下地基板の組成には制約がなく、例えば一般的なサファイア基板でも良いが、後工程で下地基板を除去することを考慮すると、GaAs基板等が好ましい。

下地基板の上に、例えば、SiO₂層からなる種を規則的に、例えば周期的に形成する。種の形状は、コア部の配列、形状に従って、ドット状、あるいはストライプ状である。

【0017】

その後、HVPE法（Hydride Vapor Phase Epitaxy）にて、Ga_{0.9}N_{0.1}を厚膜成長する。成長後、表面には、種のパターン形状に応じたファセット面が形成される。例えば、種がドット状のパターンの場合は、ファセット面からなるピットが規則正しく形成され、種がストライプ状の場合は、プリズム状のファセット面が形成される。

20

Ga_{0.9}N_{0.1}層を成長させた後、下地基板を除去し、さらに、Ga_{0.9}N_{0.1}の厚膜層を研削加工、研磨加工して表面を平坦化することにより、Ga_{0.9}N_{0.1}基板を作製することができる。Ga_{0.9}N_{0.1}基板の厚さは、自由に設定出来る。

このようにして作製されたGa_{0.9}N_{0.1}基板は、c面が主面であり、その中に、所定のサイズのドット状又はストライプ状のコア部が規則正しく形成されたGa_{0.9}N_{0.1}基板となっている。コア部以外のGa_{0.9}N_{0.1}単結晶領域は、コア部に比べて、転位密度が著しく低い低密度欠陥領域となっている。

【0018】

30

上述の方法により試作されたGa_{0.9}N_{0.1}基板は、ELO法を適用して成長させたGa_{0.9}N_{0.1}層と同様な良好な結晶性を有し、しかも低密度欠陥領域の幅がELO法による低密度欠陥領域の幅の少なくとも10倍以上あり、高密度欠陥領域（コア部）の幅はELO法によるものより狭く、例えば数十μm幅である。

例えばコア部が400μm間隔で〔1-100〕方向に延在し、コア部とコア部との間に低密度欠陥領域が存在する（0001）n型Ga_{0.9}N_{0.1}基板が開発されている。開発された（0001）n型Ga_{0.9}N_{0.1}基板の転位密度は、コア部の中心からの距離（μm）に対して、図9に示すような値になっていて、転位密度が $1.0 \times 10^6 \text{ cm}^{-2}$ 以下の領域が150μm以上の幅にわたって延在し、最小転位密度は $2.8 \times 10^5 \text{ cm}^{-2}$ に達する。図9中、横軸の0は一方のコア部の中心であり、400は他方のコア部の中心を意味する

40

【0019】

本発明の目的

Ga_{0.9}N_{0.1}基板は上述のように優れた結晶性を有する基板なので、Ga_{0.9}N_{0.1}基板を使ってGa_{0.9}N_{0.1}系半導体レーザ素子を作製する試み、例えば前述したGa_{0.9}N_{0.1}系半導体レーザ素子と同じ積層構造を備えたGa_{0.9}N_{0.1}系半導体レーザ素子を作製する試みが盛んに行われている。

しかし、Ga_{0.9}N_{0.1}基板を基板にを使ってGa_{0.9}N_{0.1}系半導体レーザ素子を作製したとき、パッドメタルを介してp側電極から注入した電流が、発光作用に寄与することなくリークする、つまりp側電極からn側電極に、或いは接地側に短絡するように流れるという問題が生じた

50

このために、電流の光変換効率が低くなるばかりでなく、発光しないこともあった。
以上の説明では半導体レーザ素子等のGaN系半導体発光素子を例に挙げて問題を説明しているが、この問題は、GaN系半導体発光素子に限らず、電子走行素子等のGaN系半導体素子全般に該当する問題である。

【0020】

そこで、本発明の目的は、前述したGaN基板を使って電流リークが小さくなる構成を備えたGaN系半導体素子を提供することである。

【0021】

【課題を解決するための手段】

本発明者は、上述のGaN基板を使ったGaN系半導体レーザ素子で電流リークが大きい原因を調べている過程で、次のことが判った。

10

すなわち、本発明者は、試料GaN系半導体レーザ素子として、図10に示すように、サファイア基板12に代えて上述の特性を有するGaN基板46を使い、かつGaN-ELO構造層14を設けることなくGaN系化合物半導体層の積層構造を直接GaN基板46上に形成したことを除いて、図5のGaN系半導体レーザ素子10と同じ構成の半導体レーザ素子を作製した。

【0022】

そして、電流リークを検査したところ、電流リークが大きくなるGaN系半導体レーザ素子48では、p側電極36上のパッドメタル（引出し電極）37が、図10に示すように、GaN基板46のコア部46a上に形成されていて、常温の動作条件で試料GaN系半導体レーザ素子48を動作試験したところ、図11(b)のグラフ(2)に示すように、印加電圧を増大して注入電流を増大させても、注入電流対光出力の関係は、グラフ(1)に示すように、光出力がほぼ0.0mWで増大せず、フラットであり、レーザ発振していないことが判った。

20

尚、図11(a)は、レーザストライプ30、パッドメタル37及びn側電極38の配置とコア部46aの配置との関係を示すGaN系半導体レーザ素子の平面図であり、図11(b)は横軸に注入電流[mA]を縦軸に光出力[mW]及び印加電圧[V]を取り、注入電流対光出力の関係及び注入電流対印加電圧の関係をグラフ(1)及びグラフ(2)で示す図である。

【0023】

更に、本発明者は、次のことも見出した。GaN基板上に形成されたGaN系化合物半導体層の積層構造のうちコア部上の積層構造部分では、コア部の結晶転位が伝搬しているために、高密度欠陥領域となっていて、電気抵抗が低い領域となっている。しかも、コア部46a上の積層構造の高密度欠陥領域は、図12に示すように、それ以外の積層構造部分と同様にはエピタキシャル成長せず、表面に段差が生じている。そのために、パッドメタル37下のSiO₂膜37に膜厚の薄い領域が局所的に生じている。

30

その結果、注入電流がパッドメタル37から発光作用に寄与することなく積層構造の高密度欠陥領域を経由してGaN基板46に達し、導電性を有するGaN基板46を介してn側電極38或いは接地側に短絡する。その結果、上述のグラフ(1)のようにレーザ発振しないことが判った。

40

【0024】

また、図13(a)に示すように、レーザストライプ30、p側電極のパッドメタル37、及びn側電極38をコア部以外の領域に配置したGaN系半導体レーザ素子では、注入電流対光出力及び注入電流対印加電圧を測定したところ、図13(b)に示すように、約4Vの印加電圧で明確なしきい値電流値を示し、印加電圧及び注入電流の増大と共に光出力も増大し、レーザ発振することが判った。

また、パッドメタル37がコア部上に形成されていない限り、n側電極36が仮にコア部上に形成されていたとしても、電流リークはそれほど大きくならないことも見出した。

【0025】

そこで、上記目的を達成するために、本発明に係るGaN系半導体素子は、低密度欠陥領

50

域、及び基板を貫通する高密度欠陥領域として周期的な基板面上配列で低密度欠陥領域に存在するコア部を有するGaN基板と、
GaN基板上に形成されたGaN系化合物半導体層の積層構造と、
積層構造上に設けられた一方の電極、及び一方の電極上に成膜された絶縁膜上に形成され、絶縁膜の開口を介して一方の電極と電氣的に接続するパッドメタルを有する電極部とを備え、電極部が、GaN基板のコア部以外の領域上の積層構造に設けられていることを特徴としている。

【0026】

本発明に係るGaN系半導体素子では、上述の実験で考察したように、凹凸が生じていて、絶縁膜や電極等が段切れを引き起こすおそれのあるコア部上の積層構造を避け、GaN基板のコア部以外の領域上の積層構造に、一方の電極及びパッドメタルを有する電極部を設けることにより、電極又はパッドメタルからの電流リークを防止している。

10

【0027】

コア部は、連続帯状の配列、断続的帯状の配列、及び分散型配列のいずれかの基板面上配列で低密度欠陥領域に存在する。つまり、コア部は、図8(a)及び(b)に示すように、基板面で連続帯状又は連続線状に延在していても、又はドット状のコア部が、図7(a)から(c)に示すように、分散して配置されていても良い。

一方の電極とは、積層構造上に形成された電極であって、p側電極でも、n側電極でも良い。また、一方の電極は、絶縁膜の開口を介して、引き出し電極として設けられたパッドメタルに接続している。一方の電極の平面形状は、所定の電極面積を有する限り任意であって、ストライプ状でも、四角形状でも良い。

20

パッドメタルの平面形状は、引き出し電極として機能する限り任意であって、ストライプ状でも、四角形状でも、円形状でも良く、また、パッドメタルの組成は、引き出し電極として機能する限り任意であって、例えばTi/Pt/Auからなる積層膜である。

【0028】

好適には、コア部とコア部との間隔が大きなGaN基板を使って、電極部を、一のコア部と一のコア部の隣のコア部との間のGaN基板の低密度欠陥領域上の積層構造に設けるようにする。

電極部の少なくとも一部が、GaN基板のコア部上の積層構造に設けられていると、本発明の効果は得られ難い。つまり、電極部が、明確に、GaN基板のコア部以外の領域上の積層構造に設けられていることが重要である。

30

好適には、前述のGaN基板の検査結果に基づいて、電極部が、コア部の中心から100 μ m以上離れたGaN基板の領域上の積層構造に設けられているようにする。

また、パッドメタルはコア部の外縁部より50 μ m以内であっても良いが、望ましくは、一方の電極が、コア部の外縁部から50 μ m以上離れたGaN基板の領域上の積層構造に設けられているようにする。これにより、電流リークを一層確実に抑制することができる。

【0029】

一方の電極の対向電極は、GaN基板の裏面に設けられていて良く、また、一方の電極の対向電極が積層構造側に設けられていても良い。

40

一方の電極の対向電極を積層構造側に設けるときには、好適には、一方の電極及び対向電極の双方をコア部以外の領域上の積層構造側に設けるようにする。これにより、更に電流リークを抑制することができる。

【0030】

本発明は、GaN系半導体素子全般、特にGaN系発光ダイオード、GaN系半導体レーザ素子等を含む、GaN系半導体素子に好適に適用できる。また、パッドメタルが絶縁膜の開口を介してストライプ電極に電氣的に接続している限り、レーザストライプの構造にも制約無く適用できる。

更には、GaN系FETやGaN系ヘテロ接合バイポーラトランジスタ(HBT)などのGaN系化合物半導体を用いた電子走行素子にも適用できる。

50

また、一方の電極、対向電極、及び一方の電極のパッドメタルを構成する金属組成に制約無く適用できる。

本発明で、GaN系化合物半導体とは、V族として窒素(N)を有し、組成が $Al_a B_b Ga_c In_d N_x P_y As_z$ ($a + b + c + d = 1$ 、 $0 \leq a, b, c, d \leq 1$ 、 $x + y + z = 1$ 、 $0 < x \leq 1$ 、 $0 \leq y, z \leq 1$)で表示される化合物半導体を言う。

【0031】

【発明の実施の形態】

以下に、添付図面を参照し、実施形態例を挙げて本発明の実施の形態を具体的かつ詳細に説明する。尚、以下の実施形態例で示す成膜方法、化合物半導体層の組成等は、本発明の理解を容易にするための一つの例示であって、本発明はこの例示に限定されるものではない。

10

実施形態例 1

本実施形態例は本発明に係るGaN系半導体素子をGaN系半導体レーザ素子に適用した実施形態の一例であって、図1(a)は本実施形態例のGaN系半導体レーザ素子の構成を示す断面図、及び図1(b)は本実施形態例のGaN系半導体レーザ素子のp側電極のパッドメタル及びn側電極とコア部との配置関係を示す平面図である。

【0032】

本実施形態例のGaN系半導体レーザ素子50は、半導体レーザ素子の実装上の都合からp側電極及びn側電極が積層構造側に設けられている半導体レーザ素子であって、図1(a)に示すように、サファイア基板12に代えて前述の図9に示す特性を有する新規な構成のGaN基板52を使い、かつGaN-ELO構造層14を設けることなくGaN系化合物半導体層の積層構造を直接GaN基板52上に形成したことを除いて、図5のGaN系半導体レーザ素子10と同じ構成を備えている。

20

また、図5のGaN系半導体レーザ素子10と同様に、電極部は、p側電極36と、p側電極36の引出し電極としてSiO₂膜34の開口を介してp側電極36と電氣的に接続している、p側電極36より幅広のパッドメタル37とを有する。パッドメタル37の組成は、Ti/Pt/Auである。

【0033】

GaN基板50は、図1(b)に示すように、例えば幅10μmのドット状又は連続帯状のコア部52aを有し、コア部52aとコア部52aとの間隔は400μm程度である。レーザストライプ30、p側電極36及びパッドメタル37を有するp側電極部(パッドメタル37で代表する)、並びにn側電極38は、図1(a)及び(b)に示すように、GaN基板52のコア部52a以外の領域上の積層構造に設けられている。

30

p側電極部(パッドメタル37)及びn側電極38の側縁部は、コア部52aの中心から100μm離隔している。従って、パッドメタル37の側縁部とコア部52aの外周縁との間の水平距離S_p及びn側電極38とコア部52aの外周縁との間の水平距離S_nは、双方とも、95μmであって、p側電極36はコア部52aの側縁部から50μm以上離隔している。

【0034】

図2及び図3を参照して、本実施形態例のGaN系半導体レーザ素子50を作製する方法を説明する。図2(a)から(c)、及び図3(d)と(e)は、それぞれ、本実施形態例のGaN系半導体レーザ素子50を作製する際の工程毎の断面図である。

40

本実施形態例のGaN系半導体レーザ素子50を作製する際には、先ず、コア部52aとコア部52aとの間隔が400μm程度のGaN基板52を使用する。

そして、GaN基板52上に、MOCVD法等によって順次、図2(a)に示すように、n型GaNコンタクト層16、n型AlGaNクラッド層18、n型GaNガイド層20、GaN多重量子井戸(MQW)構造の活性層22、p型GaNガイド層24、p型AlGaNクラッド層26、及びp型GaNコンタクト層28をエピタキシャル成長させて、積層構造を形成する。

コア部52aの転位等の欠陥は、図2(a)に示すように、積層構造内に伝搬して高密度

50

欠陥領域を形成している。

【0035】

次いで、p型化合物半導体層の活性化前処理として、積層構造をアセトンで洗浄して有機物を除去し、UVオゾン処理を施して薄い酸化膜を積層構造上に成膜する。

続いて、400℃程度の温度でアニール処理を施して脱水素処理を行いつつp型不純物のMgを活性化して、p型化合物半導体層の活性化処理を行う。

更に、活性化後処理として、KOHによる洗浄処理を行い、続いて活性化前処理で成膜した酸化膜をHF系ガス処理により除去する。

【0036】

次に、p型GaNコンタクト層28上にSiO₂膜を蒸着させ、図2(b)に示すように、パターニングしてストライプ状のSiO₂膜マスク54を形成する。 10

次いで、SiO₂膜マスク54上からp型GaNコンタクト層28及びp型AlGaNクラッド層26の上部層をエッチングして、図2(b)に示すように、コア部52aから離隔した位置にストライプ状リッジ30を形成する。

【0037】

続いて、SiO₂膜マスク54を除去し、別のSiO₂膜を積層構造上に蒸着させ、別のSiO₂膜をパターニングしてマスク56を形成し、p型AlGaNクラッド層26の下部層、p型GaNガイド層24、活性層22、n型GaNガイド層20、n型AlGaNクラッド層18、及びn型GaNコンタクト層16の上部層をエッチングして、図2(c)に示すように、右のコア部52aから大きく離隔した位置にストライプ状リッジ30と同じ方向の延在するメサ32を形成する。 20

【0038】

次いで、マスク56を除去した後、積層構造上にSiO₂膜34を成膜し、リソグラフィ処理及びエッチング加工を施してp型GaNコンタクト層28上のSiO₂膜34を開口し、次いでリフトオフ加工を適用して、図3(d)に示すように、p側電極36を形成する。

続いて、リソグラフィ処理、エッチング加工、更にリフトオフ加工を施して、図3(e)に示すように、p側電極36と電氣的に接続するp側引き出し電極としてパッドメタル37を形成する。その際、パッドメタル37と左のコア部52aの外周との距離が少なくとも0μm、本実施形態例では95μm離れているようにする。 30

更に、リソグラフィ処理、エッチング加工、更にリフトオフ加工を施して、右のコア部52aの外周から離隔している位置、本実施形態例では95μm離れている位置にn側電極38を形成する。

【0039】

本実施形態例のGaN系半導体レーザ素子50では、レーザストライプ30、p側電極36のパッドメタル37、及びn側電極38が、GaN基板50のコア部52a以外の領域上の積層構造に設けられているので、電流リークが抑制され、電流の光変換効率が高い。

【0040】

実施形態例2

本実施形態例は本発明に係るGaN系半導体素子をGaN系半導体レーザ素子に適用した実施形態の別の例であって、図4(a)は本実施形態例のGaN系半導体レーザ素子の構成を示す断面図、及び図4(b)は本実施形態例のGaN系半導体レーザ素子のp側電極のパッドメタル及びn側電極とコア部との配置関係を示す平面図である。 40

本実施形態例のGaN系半導体レーザ素子60は、p側電極が積層構造側に、n側電極が基板裏面に設けられている半導体レーザ素子であって、図4(a)に示すように、サファイア基板12に代えて前述の図9に示す特性を有する新規な構成のGaN基板62を使い、かつGaN-ELO構造層14を設けることなくGaN系化合物半導体層の積層構造を直接GaN基板52上に形成したこと、n型GaNコンタクト層16を設けていないこと、及びn側電極64がGaN基板62の裏面に設けてあるを除いて、図5のGaN系半導体レーザ素子10と同じ構成を備えている。 50

【0041】

つまり、Ga N系半導体レーザ素子60は、図4(a)に示すように、Ga N基板62と、Ga N基板62上にMOCVD法により順次成長させた、n型AlGa Nクラッド層18、n型Ga Nガイド層20、Ga In N多重量子井戸(MQW)構造の活性層22、p型Ga Nガイド層24、p型AlGa Nクラッド層26、及びp型Ga Nコンタクト層28の積層構造と、p側電極36及びパッドメタル37を有する電極部とを備えている。Ga N基板62は、図4(b)に示すように、幅10 μ mの連続帯状のコア部62aを有し、コア部62aとコア部62aとの間隔は400 μ m程度である。

【0042】

p-AlGa Nクラッド層26の上部層、及びp-Ga Nコンタクト層28は、コア部62aと隣のコア部62aとの間に位置するストライプ状リッジ30として形成されている。

10

p-Ga Nコンタクト層28上を開口したSiO₂膜34が、リッジ30の両側面及びp-AlGa Inクラッド層26の残り層上に成膜されている。

p-Ga Nコンタクト層28上には、Pd/Pt/Auの積層金属膜からなるp側電極36が形成され、更にSiO₂膜34の開口を介してp側電極36と電氣的に接続するパッドメタル37がp側の引き出し電極としてSiO₂膜34上に設けられている。

また、n-Ga Nコンタクト層16上には、Ti/Pt/Auの積層金属膜からなるn側電極38が設けてある。

【0043】

20

レーザストライプ30、p側電極36及びパッドメタル37を有するp側電極部(パッドメタル37で代表する)、並びにn側電極38は、図4(a)及び(b)に示すように、Ga N基板62のコア部62a以外の領域上の積層構造に設けられている。

p側電極部(パッドメタル37)及びn側電極38の側縁部は、コア部62aの中心から100 μ m離隔している。従って、パッドメタル37の側縁部とコア部62aの外周縁との間の水平距離S_p及びn側電極38とコア部52aの外周縁との間の水平距離S_nは、双方とも、95 μ mであって、p側電極36はコア部52aの側縁部から50 μ m以上離隔している。

【0044】

Ga N系半導体レーザ素子60を作製する際には、先ず、コア部62aとコア部62aとの間隔が400 μ m程度のGa N基板62を使用し、Ga N基板62上にMOCVD法等によって順次、n型AlGa Nクラッド層18、n型Ga Nガイド層20、Ga In N多重量子井戸(MQW)構造の活性層22、p型Ga Nガイド層24、p型AlGa Nクラッド層26、及びp型Ga Nコンタクト層28をエピタキシャル成長させて、積層構造を形成する。

30

【0045】

次いで、実施形態例1のGa N系半導体レーザ素子50と同様にして、p型化合物半導体層の活性化前処理、活性化処理、及び活性化後処理を積層構造に施す。

Ga N系半導体レーザ素子50と同様にして、ストライプ状リッジ30を形成し、SiO₂膜34を成膜し、リソグラフィ処理及びエッチング加工を施してp型Ga Nコンタクト層28上のSiO₂膜34を開口し、次いでリフトオフ加工を適用して、p側電極36を形成する。

40

続いて、リソグラフィ処理、エッチング加工、更にリフトオフ加工を施して、図3(e)に示すように、p側電極36と電氣的に接続するp側引き出し電極として左右のコア部62aの外周から少なくとも0 μ m離れている位置に、本実施形態例では95 μ m離れている位置にパッドメタル37を形成する。

更に、Ga N基板62の裏面を研磨して基板厚さを所定の厚さに調節し、次いで左右のコア部62aの外周から少なくとも0 μ m離れている位置で、本実施形態例では95 μ m離れている位置でGa N基板62の裏面にn側電極64を形成する。

【0046】

50

本実施形態例のGaN系半導体レーザ素子60では、レーザストライプ30、p側電極36のパッドメタル37、及びn側電極64が、GaN基板62のコア部62a以外の領域上の積層構造に設けられているので、電流リークが抑制され、電流の光変換効率が低い。

【0047】

実施形態例1及び2では、連続帯状のコア部を有するGaN基板を使用しているが、これに限らず、図7及び図8に示すような平面配置のコア部を有するGaN基板を使っても良い。図7及び図8中、70は基板領域を示し、72はレーザストライプ、パッドメタル、及びn側電極の形成領域を示す。

【0048】

また、実施形態例ではエアリッジ型のGaN系半導体レーザ素子を例に上げているが、エアリッジ型に限らず、埋め込み型のGaN系半導体レーザ素子にも適用できる。

更には、ストライプ状のp側電極を備えたGaN系半導体レーザ素子を例に上げているが、電極がストライプ状でないGaN系半導体レーザ素子、GaN系発光ダイオードであっても良い。

更には、GaN系FETやGaN系ヘテロ接合バイポーラトランジスタ(HBT)などのGaN系化合物半導体を用いた電子走行素子にも適用できる。

【0049】

【発明の効果】

本発明によれば、低密度欠陥領域、及び周期的な基板面上配列で低密度欠陥領域に存在するコア部を有するGaN基板を基板として使い、GaN基板上にGaN系半導体素子を形成する際、積層構造上に設けられた一方の電極、及び一方の電極上の絶縁膜上に一方の電極の引き出し電極として設けられたパッドメタルを有する電極部をGaN基板のコア部以外の領域上の積層構造に設けることにより、注入電流のリークを抑制して、GaN系半導体素子の発光効率を高めることができる。

【図面の簡単な説明】

【図1】図1(a)は実施形態例1のGaN系半導体レーザ素子の構成を示す断面図、及び図1(b)は実施形態例1のGaN系半導体レーザ素子のp側電極のパッドメタル及びn側電極とコア部との配置関係を示す平面図である。

【図2】図2(a)から(c)は、それぞれ、実施形態例1のGaN系半導体レーザ素子を作製する際の工程毎の断面図である。

【図3】図3(d)と(e)は、それぞれ、図2(c)に続いて、実施形態例1のGaN系半導体レーザ素子を作製する際の工程毎の断面図である。

【図4】図4(a)は実施形態例2のGaN系半導体レーザ素子の構成を示す断面図、及び図4(b)は実施形態例2のGaN系半導体レーザ素子のp側電極のパッドメタル及びn側電極とコア部との配置関係を示す平面図である。

【図5】サファイア基板に形成したGaN系半導体レーザ素子の構成を示す断面図である。

【図6】図6(a)及び(b)は、それぞれ、コア部及び低密度欠陥領域を説明するGaN基板の斜視図及び断面図である。

【図7】図7(a)から(c)は、それぞれ、分散型コア部の配置を示す平面図である。

【図8】図8(a)と(b)は、それぞれ、連続及び断続の帯状のコア部の配置を示す平面図である。

【図9】転位密度を示すグラフである。

【図10】試料GaN系半導体レーザ素子の構成を示す断面図である。

【図11】図11(a)は、レーザストライプ、パッドメタル及びn側電極の配置とコア部の配置との関係を示すGaN系半導体レーザ素子の平面図であり、図11(b)は横軸に注入電流[mA]を縦軸に光出力[mW]及び印加電圧[V]を取り、注入電流対光出力の関係及び注入電流対印加電圧の関係をグラフ(1)及びグラフ(2)で示す図である。

【図12】積層構造の高密度欠陥領域上で絶縁膜が薄くなっている状態を説明する断面図

10

20

30

40

50

である。

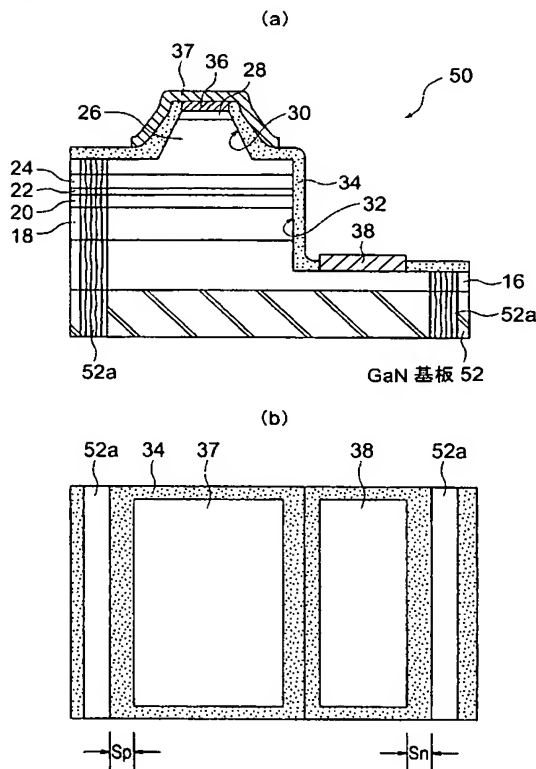
【図13】図13(a)は、レーザストライプ、パッドメタル及びn側電極の配置とコア部の配置との関係を示すGa N系半導体レーザ素子の平面図であり、図13(b)は横軸に注入電流[mA]を縦軸に光出力[mW]及び印加電圧[V]を取り、注入電流対光出力の関係及び注入電流対印加電圧の関係をグラフ(1)及びグラフ(2)で示す図である。

【符号の説明】

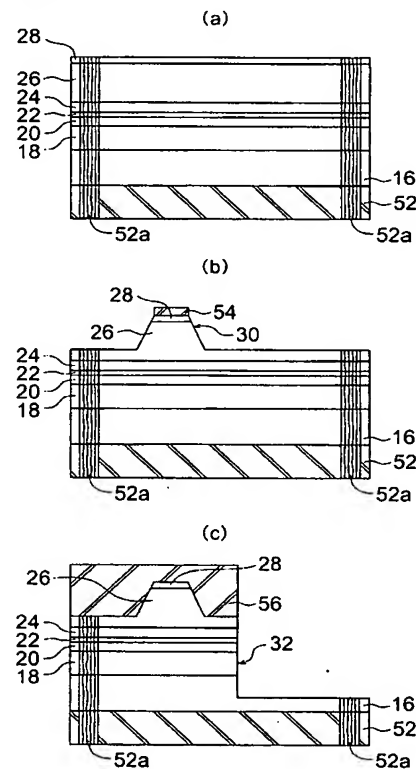
10……Ga N系半導体レーザ素子、12……サファイア基板、14……Ga N-E L O構造層、16……n型Ga Nコンタクト層、18……n型Al Ga Nクラッド層、20……n型Ga Nガイド層、22……活性層、24……p型Ga Nガイド層、26……p型Al Ga Nクラッド層、28……p型Ga Nコンタクト層、30……リッジ、32……メサ、34……Si O₂膜、36……p側電極、37……パッドメタル、38……n側電極、40……Ga N基板、42……低密度欠陥領域、44……コア部、46……Ga N基板、48……試料Ga N系半導体レーザ素子、50……実施形態例1のGa N系半導体レーザ素子、52……Ga N基板、52a……コア部、54、56……マスク、60……実施形態例2のGa N系半導体レーザ素子、62……Ga N基板、62a……コア部、70……基板領域、72……パッドメタル等の形成領域。

10

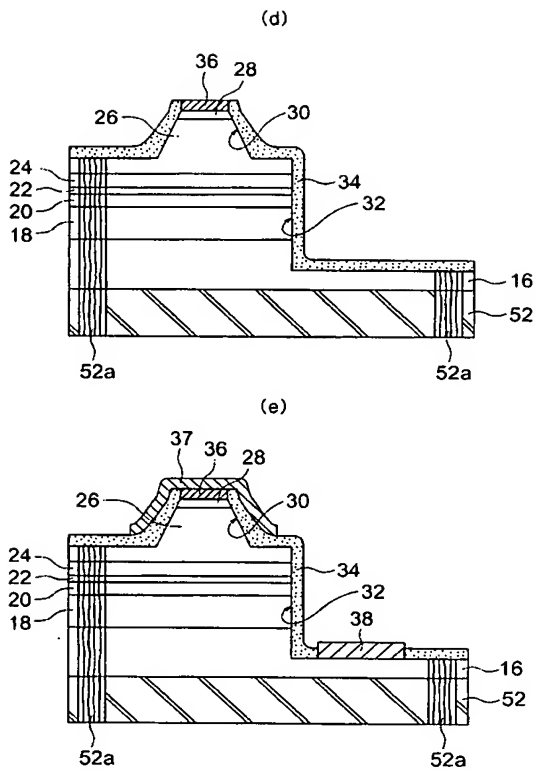
【図1】



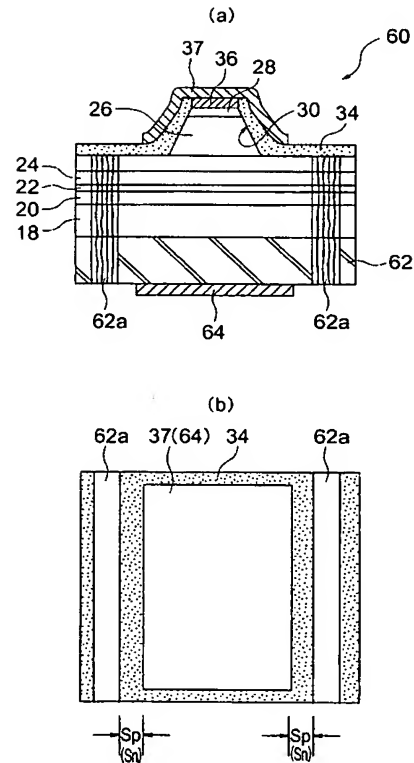
【図2】



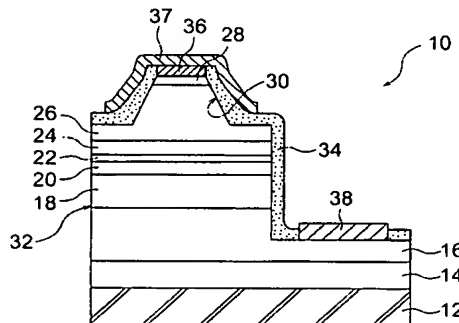
【図 3】



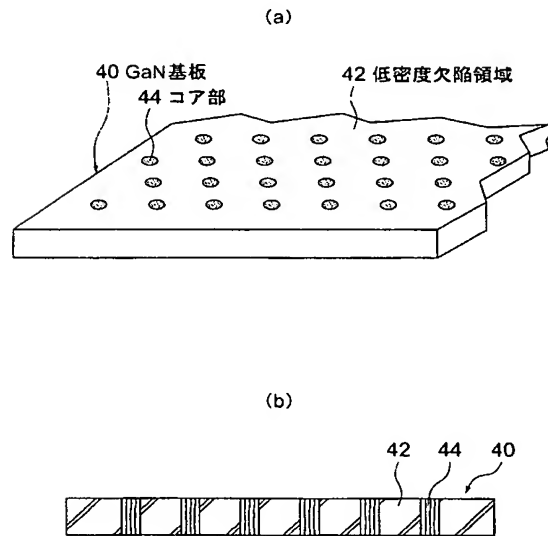
【図 4】



【図 5】

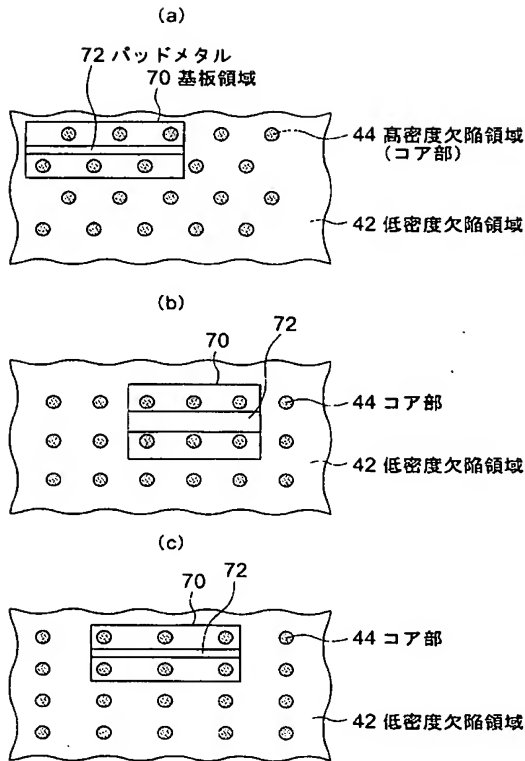


【図 6】

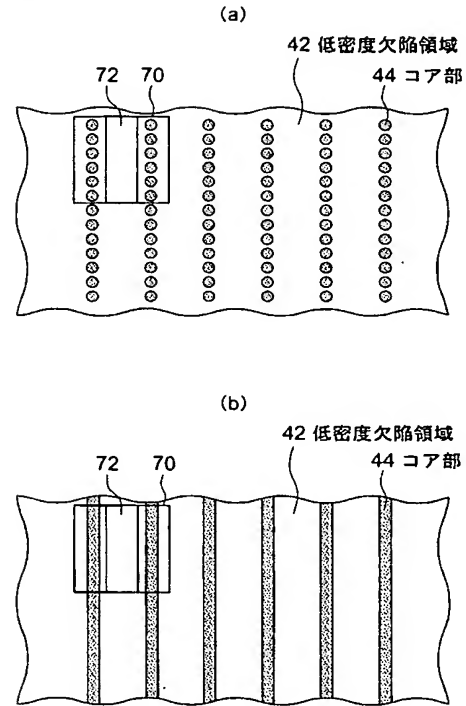


- 10…GaN半導体レーザ素子
 12…サファイア基板
 14…GaN-ELO構造層
 16…n型GaNコンタクト層
 18…n型AlGaInクラッド層
 20…n型GaNガイド層
 22…GaInN多重量子井戸(MQW)構造の活性層
 24…p型GaNガイド層
 26…p型AlGaInクラッド層
 28…p型GaNコンタクト層
 30…ストライプ状リッジ
 32…メサ
 34…SiO₂膜
 36…p側電極
 37…パッドメタル
 38…n側電極

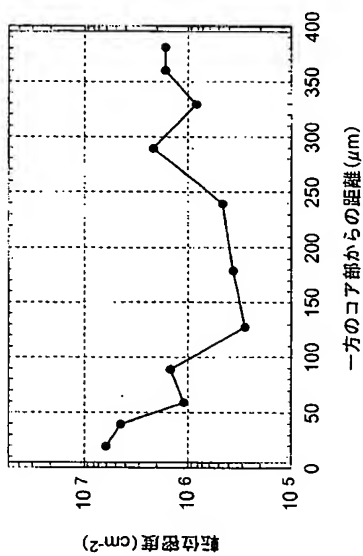
【図 7】



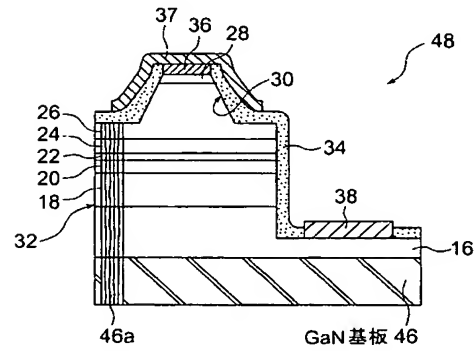
【図 8】



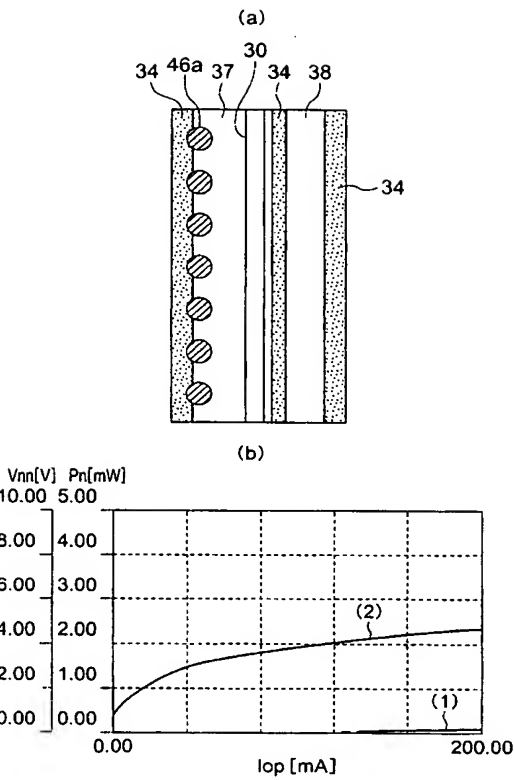
【図 9】



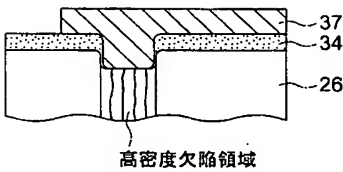
【図 10】



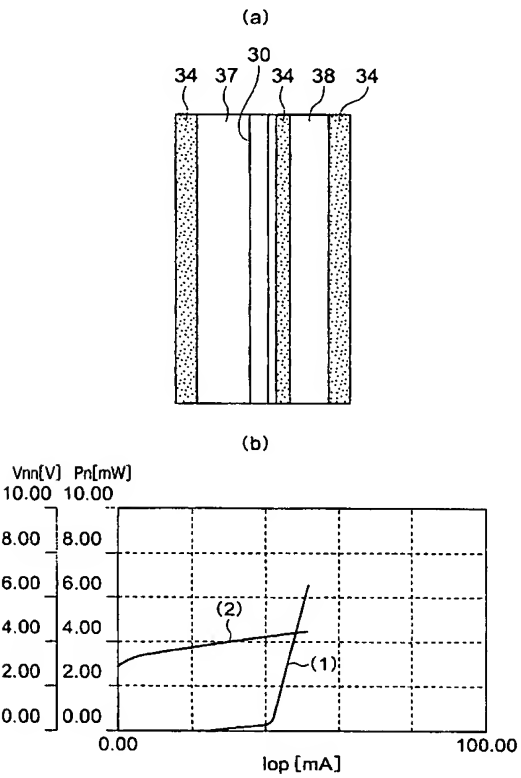
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(72)発明者 池田 昌夫

宮城県白石市白鳥3丁目5番2号 ソニー白石セミコンダクタ株式会社内

Fターム(参考) 5F041 AA03 AA21 CA04 CA05 CA40 CA65 CA73 CA74 CA91 CB04

5F073 AA45 AA74 AA89 CA07 CB02 CB10 DA05 DA16 DA21 DA30

DA35 EA29

【要約の続き】

【選択図】 図1